

Requested Patent: JP2024584A

Title: PREPARING METHOD OF TEST PATTERN ;

Abstracted Patent: JP2024584 ;

Publication Date: 1990-01-26 ;

Inventor(s): KATO JUNKO ;

Applicant(s): NEC CORP ;

Application Number: JP19880175811 19880713 ;

Priority Number(s): ;

IPC Classification: G01R31/28; G06F9/06; G06F11/22; G06F15/20; G06F15/60 ;

Equivalents: ;

**ABSTRACT:**

**PURPOSE:** To prepare a test pattern efficiently by altering the conditions at the time of generation of a pattern automatically while watching the situation of the generation.

**CONSTITUTION:** After a group 2 of conditions on the specification of a sphere of assuming an object fault of a logic circuit 1, the setting of a fixed value of a pin, etc. are inputted in a stack in a condition discriminating process 3, an arbitrary condition out of them is set in a condition setting process 4 and a test pattern input 8 is generated according to this condition in a pattern generating process 5. For this input 8, fault simulation is conducted in a fault simulation process 6. As the result, a judgement as to whether switching should be made over to pattern generation according to another condition of the condition group 2 or not is made in a condition shift judging process 7, with a rate of detection used as a criterion of judgement, for instance. When the condition is switched over, a return is made to the condition setting process 4 and the pattern generation is continued. By repeating the above operations until satisfaction is found, a test pattern 9 is prepared.

⑫ 公開特許公報(A) 平2-24584

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)1月26日

G 01 R 31/28  
G 06 F 9/06  
11/22  
15/20  
15/60

4 3 0 G  
3 1 0 B  
3 6 0 D

7361-5B  
7368-5B  
7230-5B  
8125-5B  
6912-2G

G 01 R 31/28

Q

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 テストパターン作成方法

⑯ 特 願 昭63-175811

⑰ 出 願 昭63(1988)7月13日

⑱ 発 明 者 加 藤 純 子 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

テストパターン作成方法

特許請求の範囲

論理回路のテストパターン作成方法において、外部から指定されたテストパターン発生時の条件群を条件スタックに取り込む条件識別工程と、前記条件識別工程により識別された条件のうちの任意の条件を設定する条件設定工程と、前記条件設定工程により設定された条件により自動的にテストパターン発生を行うパターン発生工程と、前記パターン発生工程により発生したテストパターンの故障シミュレーションを行う故障シミュレーション工程と、前記故障シミュレーション工程の結果により前記条件識別工程と他の条件によるパターン発生への移行を判定する条件移行判定工程とを含むことを特徴とするテストパターン作成方法。

発明の詳細な説明

〔産業上の利用分野〕

本発明はテストパターン作成方法に関し、特にパターン発生状況をみながら、その発生時の条件を自動的に変更することにより、効率よくテストパターンの作成を行うテストパターン作成方法に関する。

〔従来の技術〕

従来のテストパターン作成方法においては、ある特定の条件の下でテストパターン入力を発生させ、故障シミュレーションを行って評価し、必要があれば条件を変更してテストパターン発生を再実行し、満足するテストパターンが得られるまで、上記の工程を繰り返す方法が取られていた。  
〔発明が解決しようとする課題〕

上述した従来のテストパターン作成方法は、一回の実行ごとにパターン発生効率を評価し、条件変更を検討するため、特に大規模回路で一回の実行が長時間になる場合、効果の薄い条件で実行を続けてしまうという欠点がある。

また、条件を小刻みに変えてテストしたい場合などでは、その条件毎に実行時間を分割して別々に実行を行う必要があるという問題点がある。

本発明の目的は、パターン発生状況を見ながら発生時の条件を自動的に変更することにより、効率よくテストパターンを作成するテストパターン作成方法を提供することにある。

(課題を解決するための手段)

本発明のテストパターン作成方法は、論理回路のテストパターン作成方法において、外部から指定されたテストパターン発生時の条件群を条件スタックに取り込む条件識別工程と、前記条件識別工程により識別された条件のうちの任意の条件を設定する条件設定工程と、前記条件設定工程により設定された条件により自動的にテストパターン発生を行うパターン発生工程と、前記パターン発生工程により発生したテストパターンの故障シミュレーションを行う故障シミュレーション工程と、前記故障シミュレーション工程の結果により前記条件識別工程と他の条件による

パターン発生への移行を判定する条件移行判定工程とを含んで構成されている。

(実施例)

次に、本発明の実施例について図面を参照して説明する。

第1図は本発明の一実施例の流れ図である。論理回路1に対するテストパターン発生において、対象故障を仮定する範囲指定やピンの固定値設定などのパターン発生時の条件群2を条件識別工程3でスタックに入力したのち、そのうちの任意の条件を条件設定工程4で設定し、その条件によりパターン発生工程5によりテストパターン入力8を発生する。このテストパターン入力8に対し、故障シミュレーション工程6で故障シミュレーションを行う。この結果、例えば検出率を判定基準として条件群2の他の条件によるパターン発生に切り変えるか否かの判定を条件移行判定工程7で行い、条件を切り変える場合は条件設定工程4に戻りパターン発生を続ける。以上を満足のいくまで繰り返すことにより、テストパターン

9を作成する。設定条件の切り換え判定基準としては、シミュレーション時間、検出率などがある。

第2図は条件設定工程の一実施例のプログラムである。初回の条件設定時には条件群をすべて条件スタックに格納し、条件を一つ取り出してパターン発生工程で参照できる形式に設定する。いったん、故障シミュレーションが行われた時点以降の条件設定時には、条件以降フラグが立っている時は条件スタックから次の条件を取り出して設定し直し、スタックが空になった時はパターン発生終了フラグを立てる。また、条件以降フラグが立っていない時は何もしない。

ここでは条件をすべて設定し終えたらパターン発生を終了する。スタックによる実施例を述べたが、条件を繰り返し設定し続けることのできるようにプログラムコントロールによる実行も可能である。

第3図は条件移行判定工程7の流れ図である。故障シミュレーション6の結果、満足のいくパ

ターン発生ができた時、あるいは終了条件を満たした時、条件移行フラグを立て、それ以外の時は条件移行フラグをオフにする。

(発明の効果)

以上説明したように、本発明はパターン発生状況を見ながら発生時の条件を自動的に変更することにより、効率よくテストパターンを作成するという効果を有する。

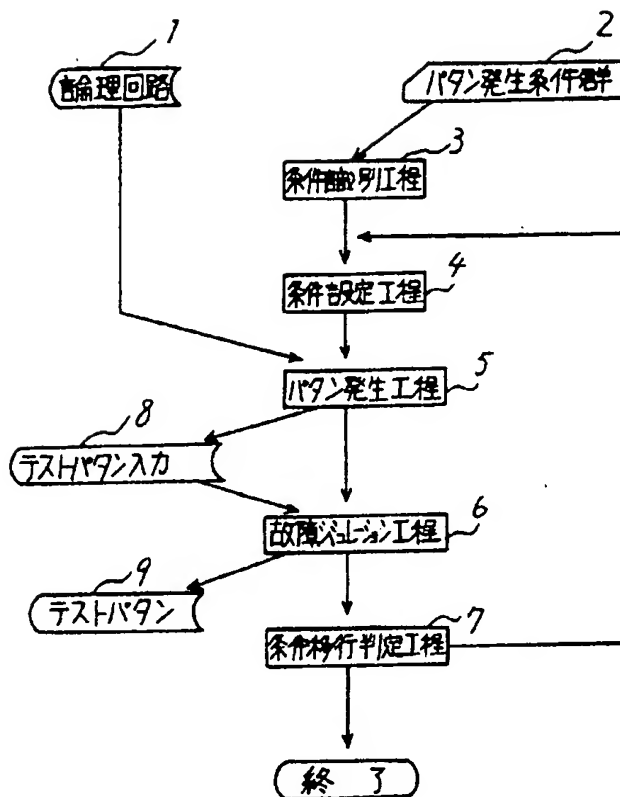
図面の簡単な説明

第1図は本発明の一実施例の流れ図、第2図は条件設定工程の処理概要図、第3図は条件移行判定工程の流れ図である。

1……論理回路、2……パターン発生条件群、3……条件識別工程、4……条件設定工程、5……パターン発生工程、6……故障シミュレーション工程、7……条件移行判定工程、8……テストパターン入力、9……テストパターン。

代理人 井理士 内 原 晋

第 1 図



第 2 図

IF: 実行フラグ = OFF (初めの設定)  
 条件群をすべて条件スタックにいれる  
 パターン発生工程用に条件を設定  
 実行フラグ ← ON  
 ELSE:  
 IF: 条件移行フラグ = ON  
 条件スタックから条件を一つ取り出す  
 IF: 条件スタック = 空  
 終了フラグ ← ON  
 ELSE:  
 パターン発生工程用に条件を設定

第 3 図

